



(1) Japanese Patent Application Laid-Open No. 2000-114376 (2000)

**"SEMICONDUCTOR DEVICE AND METHOD OF MANUFACTUTING
THE SAME"**

The following is an English translation of an extract of the above application.

5

A semiconductor device 2 has a multi-layer wiring structure consisting of a first wiring 2-L1 as one wiring layer formed at bottom portions of an insulating film 2-21 and a second wiring 2-L2 as other wiring layer formed at upper portions of the insulating film 2-21. And the first wiring 2-L1 and the second wiring 2-L2 are electrically connected with a metal plug 2-P which is formed in the insulating film 2-21 and serving as a connection. Each of the first wiring 2-L1 and the second wiring 2-L2 has a same layer structure, respectively. That is, the first wiring 2-L1 consists of a TiN film 2-11, an Al alloy film 2-12 as a first conductive film, a TiN film 2-13, a Ti film 2-15 and a Ti film 2-16 as a second conductive film, and the second wiring 2-L2 consists of a TiN film 2-41, an Al alloy film 2-42 as a fifth conductive film, a TiN film 2-43, a Ti film 2-45 as a sixth conductive film and a Ti film 2-46. The metal plug 2-P is formed of a Ti film 2-31 as a third conductive film, a TiN film 2-32 and a W film 2-33. In the process of manufacturing the semiconductor device 2, Al-Ti alloy films 2-17, 2-18 and 2-34 are formed by performing a heat treatment after the second wiring 2-L2 is formed.

(19)日本国特許庁 (J P)

(12)公開特許公報 (A)

(11)特許出願公開番号

特開2000-114376

(P2000-114376A)

(43)公開日 平成12年4月21日(2000.4.21)

(51)Int.Cl.
H01L 21/768
21/28
21/3205

識別記号

301

F I
H01L 21/90
21/28
21/88

テマコード (参考)
A 4M104
R 5F033
R
N

審査請求 未請求 請求項の数21 O L (全14頁)

(21)出願番号

特願平10-287744

(22)出願日

平成10年10月9日(1998.10.9)

(71)出願人 000000295

沖電気工業株式会社

東京都港区虎ノ門1丁目7番12号

(72)発明者 新川 吉和

東京都港区虎ノ門1丁目7番12号 沖電気
工業株式会社内

(74)代理人 100095957

弁理士 亀谷 美明 (外2名)

Fターム(参考) 4M104 BB14 BB17 BB30 DD06 DD21
DD32 DD37 DD78 DD83 FF13
FF17 FF18 FF22 HH01
5F033 HH09 HH21 HH33 JJ18 JJ19
JJ33 KK09 KK21 KK33 PP15
QQ37 QQ98 SS11 XX05

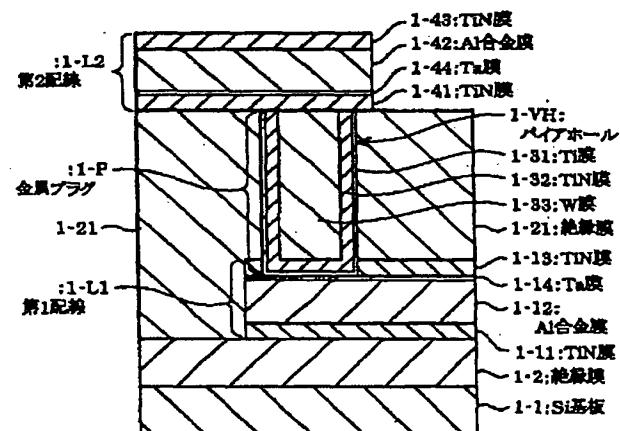
(54)【発明の名称】半導体装置および半導体装置の製造方法

(57)【要約】

【課題】 エレクトロマイグレーション (EM) 現象が
生じた場合であっても、配線間の抵抗値の増加が抑えら
れた半導体装置および半導体装置の製造方法を提供す
る。

【解決手段】 半導体装置1における第1配線1-L1
は、TiN膜1-11, Al合金膜1-12, TiN膜
1-13, およびTa膜1-14から構成されてお
り、第2配線1-L2は、TiN膜1-41, Al合金
膜1-42, TiN膜1-43, およびTa膜1-44
から構成されている。金属プラグ1-Pは、Ti膜1-
31, TiN膜1-32, およびW膜1-33から形成
されている。第2配線から第1配線に対して電子e-を
継続的に流し、第1配線のAl合金膜にEM現象による
ボイド1-V1が生じた場合であっても、第1配線と第
2配線との間の配線抵抗Rは、Ta膜によって長時間一
定値が維持されることになる。

1:半導体装置



【特許請求の範囲】

【請求項 1】 複数の配線層と；前記複数の配線層における一の配線層と他の配線層を電気的に接続するための接続部と；を備えた半導体装置において：前記一の配線層は，高融点金属から成る第 1 の高融点金属膜を有し；前記接続部は，前記第 1 の高融点金属膜と接していることを特徴とする半導体装置。

【請求項 2】 前記他の配線層は，高融点金属から成る第 2 の高融点金属膜を有し；前記接続部は，前記第 2 の高融点金属膜と接していることを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】 前記高融点金属は，タンタル (Ta) であることを特徴とする請求項 1 または 2 に記載の半導体装置。

【請求項 4】 複数の配線層と；前記複数の配線層における一の配線層と他の配線層を電気的に接続するための接続部と；を備えた半導体装置において：前記一の配線層は，第 1 の導電膜と，前記第 1 の導電膜に接し熱処理によって体積が増加する第 2 の導電膜とを備え，前記接続部は，前記第 1 の導電膜に接し熱処理によって体積が増加する第 3 の導電膜を備えていることを特徴とする半導体装置。

【請求項 5】 前記一の配線層は，第 1 の開口部を有し，前記接続部は，前記第 1 の開口部において前記一の配線層と接することを特徴とする請求項 4 に記載の半導体装置。

【請求項 6】 前記第 1 の開口部は，前記第 1 の導電膜を除去することによって形成されたことを特徴とする請求項 5 に記載の半導体装置。

【請求項 7】 前記一の配線層は，前記第 1 の導電膜において前記第 2 の導電膜が接している面と異なる面に接する第 4 の導電膜を備え，前記第 4 の導電膜は，前記第 1 の開口部の内壁の一部を構成することを特徴とする請求項 6 に記載の半導体装置。

【請求項 8】 前記他の配線層は，第 5 の導電膜と，前記第 5 の導電膜と接し熱処理によって体積が増加する第 6 の導電膜を備え，前記第 3 の導電膜は，前記第 5 の導電膜に接することを特徴とする請求項 4, 5, 6, または 7 のいずれかに記載の半導体装置。

【請求項 9】 前記他の配線層は，第 2 の開口部を有し，前記接続部は，前記第 2 の開口部において前記他の配線層と接することを特徴とする請求項 8 に記載の半導体装置。

【請求項 10】 前記第 2 の開口部は，前記第 5 の導電膜を除去することによって形成されたことを特徴とする請求項 9 に記載の半導体装置。

【請求項 11】 前記他の配線層は，前記第 5 の導電膜において前記第 6 の導電膜が接している面と異なる面に接する第 7 の導電膜を備え，前記第 7 の導電膜は，前記第 2 の開口部の内壁の一部を構成することを特徴とする

50

請求項 10 に記載の半導体装置。

【請求項 12】 前記第 1 の導電膜は，アルミニウム (Al) 合金から構成されることを特徴とする請求項 4, 5, 6, 7, 8, 9, 10, または 11 のいずれかに記載の半導体装置。

【請求項 13】 前記第 2 の導電膜は，チタン (Ti) から構成されることを特徴とする請求項 4, 5, 6, 7, 8, 9, 10, 11, または 12 のいずれかに記載の半導体装置。

【請求項 14】 前記第 3 の導電膜は，チタンから構成されることを特徴とする請求項 4, 5, 6, 7, 8, 9, 10, 11, 12, または 13 のいずれかに記載の半導体装置。

【請求項 15】 前記第 4 の導電膜は，チタンから構成されることを特徴とする請求項 4, 5, 6, 7, 8, 9, 10, 11, 12, 13, または 14 のいずれかに記載の半導体装置。

【請求項 16】 前記第 5 の導電膜は，アルミニウム合金から構成されることを特徴とする請求項 4, 5, 6, 7, 8, 9, 10, 11, 12, 13, 14, または 15 のいずれかに記載の半導体装置。

【請求項 17】 前記第 6 の導電膜は，チタンから構成されることを特徴とする請求項 4, 5, 6, 7, 8, 9, 10, 11, 12, 13, 14, 15, または 16 のいずれかに記載の半導体装置。

【請求項 18】 前記第 7 の導電膜は，チタンから構成されることを特徴とする請求項 4, 5, 6, 7, 8, 9, 10, 11, 12, 13, 14, 15, 16, または 17 のいずれかに記載の半導体装置。

【請求項 19】 複数の配線層と；前記複数の配線層における一の配線層と他の配線層を電気的に接続するための接続部と；を備えた半導体装置において：前記一の配線層は，第 1 の開口部を有し，前記接続部は，前記第 1 の開口部において前記一の配線層と接することを特徴とする半導体装置。

【請求項 20】 前記他の配線層は，第 2 の開口部を有し，前記接続部は，前記第 2 の開口部において前記他の配線層と接することを特徴とする請求項 19 に記載の半導体装置。

【請求項 21】 複数の配線層と；前記複数の配線層における一の配線層と他の配線層を電気的に接続するための接続部と；を備えた半導体装置の製造方法において：第 1 の導電膜と，熱処理によって体積が増加する第 2 の導電膜とを含む前記一の配線層を形成する第 1 の工程と；前記第 2 の導電膜の一部を除去し，前記一の配線層に開口部を形成する第 2 の工程と；熱処理によって体積が増加する第 3 の導電膜を含む前記接続部を，前記第 3 の導電膜が前記開口部の内壁に接するように形成する第 3 の工程と；所定の温度で熱処理を行う第 4 の工程と；を含むことを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置にかかり、特に多層配線構造を有する半導体装置に関するものである。

【0002】

【従来の技術】従来の半導体装置101を図9に示す。この半導体装置101は、絶縁膜101-21の上下に形成された一の配線層としての第1配線101-L1および他の配線層としての第2配線101-L2による多層配線構造を有するものである。そして、第1配線101-L1および第2配線101-L2は、絶縁膜101-21中に形成された接続部としての金属プラグ101-Pによって電気的に接続されている。第1配線101-L1および第2配線101-L2は、相互に略同一の層構造を有している。すなわち、第1配線101-L1は、チタンナイトライド(TiN)膜101-11、アルミニウム(A1)合金(A1-Cu等)膜101-12、およびTiN膜101-13から構成されており、第2配線101-L2は、TiN膜101-41、A1合金膜101-42、およびTiN膜101-43から構成されている。金属プラグ101-Pは、チタン(Ti)膜101-31、TiN膜101-32、およびタンクスチン(W)膜101-33から形成されている。ここで、従来の半導体装置101の製造工程について順を追って説明する。

【0003】工程1：シリコン(Si)基板101-1にトランジスタ等を形成し、その後、CVD(Chemical Vapor Deposition)法等を用いて絶縁膜101-2を形成する。

【0004】工程2：TiN膜101-11、A1合金膜101-12、およびTiN膜101-13をスパッタ法で順次形成し、ホトリソグラフィおよびエッティングを施して第1配線101-L1とする。

【0005】工程3：絶縁膜101-21をCVD法等で形成した後、この絶縁膜101-21に対して、ホトリソグラフィおよびエッティングによってバイアホール(via hole)101-VHを形成する。

【0006】工程4：ボロンクロライド(BCl₃)等の塩素系エッティングガスを用いてバイアホール101-VHの底部にある第1配線101-L1のTiN膜101-13を除去する。

【0007】工程5：Ti膜101-31とTiN膜101-32をスパッタ法を用いて順次形成し、さらに、CVD法を用いてW膜101-33を形成する。なお、TiN膜101-32の形成は、Ti膜101-31を形成した後、真空状態を維持しつつ連続的に行われる。これにより、Ti膜101-31の表面の酸化が防止され、Ti膜101-31とTiN膜101-32の良好な電気的導通が確保される。

【0008】工程6：Ti膜101-31、TiN膜101-32、W膜101-33を全面エッチバックすることによって、バイアホール101-VH内に金属プラグ101-Pを形成する。

【0009】工程7：TiN膜101-41、A1合金膜101-42、およびTiN膜101-43をスパッタ法を用いて順次形成し、ホトリソグラフィおよびエッティングを施して第2配線101-L2とする。

【0010】以上の工程1～7によって、従来の半導体装置101が形成される。

【0011】

【発明が解決しようとする課題】しかしながら、図10の(a)に示すように、第2配線101-L2から第1配線101-L1に対して金属プラグ101-Pを経由して電子e⁻を流した場合、かかる電子e⁻が第1配線101-L1を形成するA1合金膜101-12の中のA1原子を押し流す、いわゆるエレクトロマイグレーション(electromigration)現象(以下、「EM現象」という。)が発生するおそれがある。このようなEM現象の発生によって、図10の(b)に示すように、金属プラグ101-P直下に位置するA1合金膜101-12には、ボイド(void:空孔)101-V1が生じることになる。

【0012】また、工程3においてバイアホール101-VHを形成し、工程4においてTiN膜101-13を除去する際、このTiN膜101-13がオーバーエッティングされ、アンダーカット部が生じる場合がある。工程5において形成されるTi膜101-31、TiN膜101-32、およびW膜101-33は、かかるアンダーカット部には入り込まないため、結果的に図10の(b)に示すようなボイド101-V2が生じることになる。

【0013】このようなボイド101-V1、101-V2は、第1配線101-L1と第2配線101-L2の電気的導通を妨げるものである。特に、電子e⁻の流れが継続した場合、ボイド101-V1が成長してしまうため、第1配線101-L1と第2配線101-L2の間の抵抗値は、経時に急激に増大することになる。

【0014】本発明は、上記のような問題点に鑑みてなされたものであり、その第1の目的は、EM現象が生じた場合であっても、EM現象による配線間の抵抗値の増加が抑制された半導体装置およびその製造方法を提供することにある。さらに、第2の目的は、EM現象そのものの発生を防止することによって、配線間の抵抗値の経時的増加が抑制された半導体装置およびその製造方法を提供することにある。

【0015】

【課題を解決するための手段】上記課題を解決するため、複数の配線層と、複数の配線層における一の配線層と他の配線層を電気的に接続するための接続部とを備え

た半導体装置が提供される。そして、この半導体装置の一の配線層は、請求項1に記載のように、高融点金属から成る第1の高融点金属膜を有し、接続部は、第1の高融点金属膜と接していることを特徴としている。

【0016】かかる構成によれば、接続部と一の配線層は、少なくとも第1の高融点金属膜で電気的に接続されることになる。例えば、他の配線層から接続部を介して一の配線層に電子が流れた場合、一の配線層にエレクトロマイグレーション現象が生じるおそれがある。しかし、かかる第1の高融点金属膜には、エレクトロマイグレーション現象が発生しないため、他の配線層から一の配線層に電子が継続して流れる場合であっても、一の配線層と他の配線層間の抵抗値の増加が防止されることになる。

【0017】請求項2に記載のように、他の配線層は、高融点金属から成る第2の高融点金属膜を有し、接続部は、第2の高融点金属膜と接していることが好ましい。第2の高融点金属膜には、一の配線層における第1の高融点金属膜と同様に、エレクトロマイグレーション現象が発生することはない。したがって、他の配線層から一の配線層、あるいは、一の配線層から他の配線層、いずれの方向に電子が継続して流れる場合であっても、一の配線層と他の配線層間の抵抗値の増加が防止されることになる。

【0018】そして、請求項3に記載のように、高融点金属として、タンタルを用いることが可能である。その他、チタンシリサイド(TiSi),チタンタングステン(Ti-W),Tiを用いることも可能である。

【0019】また、上記課題を解決するために、請求項4に記載のように、一の配線層を、第1の導電膜と、第1の導電膜と接し熱処理によって体積が増加する第2の導電膜とを含む構成とし、接続部を、第1の導電膜に接し熱処理によって体積が増加する第3の導電膜を含む構成としてもよい。

【0020】半導体装置の製造プロセスにおいて、一の配線層に対して接続部を接続するように形成する場合、プロセス条件(例えば、オーバーエッキング等)によって、一の配線層と接続部が全領域にわたり完全に接触しないおそれがある。かかる点に関して、請求項4に記載の半導体装置によれば、一の配線層における第1の導電膜を基準に、一の配線層と接続部は、電気的に接続されることになる。また、第1の導電膜に対して第2の導電膜および第3の導電膜が接触形成された後、所定の温度で熱処理を施すと、第2の導電膜および第3の導電膜の体積が増加する。かかる増加によって、熱処理前に第2の導電膜、第3の導電膜相互間に隙間が存在しても、熱処理後、両者を確実に接触させることができる。

【0021】請求項5に記載のように、一の配線層は、第1の開口部を有し、接続部は、第1の開口部において一の配線層と接するように構成することが好ましい。か

10

20

30

40

50

かる構成によれば、一の配線層と接続部は、より広い面積で電気的に接続されることになる。他の配線層から接続部を介して一の配線層に電子が流れた場合に一の配線層において発生するおそれのあるエレクトロマイグレーション現象は、一の配線層にボイド(void; 空孔)をもたらすことになるが、一の配線層に流れる電流密度の減少に従って、かかるボイドの規模は縮小する。すなわち、請求項5に記載の半導体装置のように、一の配線層と接続部を広い面積で電気的に接続すれば、一の配線層における電流密度を減少させることができとなり、この結果、一の配線層のボイドの規模は小さくなる。したがって、一の配線層と他の配線層間の抵抗値は、長期間一定に維持されることになる。

【0022】そして、請求項6に記載のように、第1の開口部は、第1の導電膜を除去することによって形成されることが好ましい。かかる構成によれば、第1の導電膜と接続部との接触面積が増加することになるため、例えば、第1の導電膜がエレクトロマイグレーション現象によるボイドが発生するおそれのある物質から構成されている場合、かかるボイドの規模を縮小させることができとなる。したがって、一の配線層と他の配線層間の抵抗値は、長期間一定に維持されることになる。

【0023】請求項7に記載のように、一の配線層は、第1の導電膜において第2の導電膜が接している面と異なる面に接する第4の導電膜を備え、第4の導電膜は、第1の開口部の内壁の一部を構成することが好ましい。かかる構成によれば、接続部は、一の配線層における第4の導電膜に電気的に接続されることになる。そして、第4の導電膜は、所定の温度の熱処理によって膨張する。これによって、第4の導電膜と接続部の電気的接続は、より確実となるため、結果的に一の配線層と他の配線層との導通は一層良好となる。

【0024】上述のように、請求項4, 5, 6, 7によれば、接続部と一の配線部との関係において、一の配線層と他の配線層間の抵抗値を長期間一定に維持することが可能となるが、請求項8, 9, 10, 11によれば、接続部と他の配線部との関係において、一の配線層と他の配線層間の抵抗値を長期間一定に維持することが可能となる。

【0025】すなわち、請求項8に記載の半導体装置によれば、他の配線層における第5の導電膜を基準に、他の配線層と接続部は、電気的に接続されることになる。また、第5の導電膜に対して第6の導電膜および第3の導電膜が接触形成された後、所定の温度で熱処理を施すと、第6の導電膜と第3の導電膜の体積は増加する。かかる増加によって、熱処理前に第6の導電膜および第3の導電膜相互間に隙間が存在しても、熱処理後、両者を確実に接触させることができる。

【0026】そして、請求項9に記載のように、他の配線層は、第2の開口部を有し、接続部は、第2の開口部

において他の配線層と接することが好ましい。かかる構成によれば、請求項 5 における一の配線層と接続部との関係と同様に、他の配線層と接続部は、広い面積で電気的に接続されるため、他の配線層に流れる電流密度を低下させることができとなる。この結果、他の配線層のボイドの規模は小さくなる。したがって、一の配線層と他の配線層間の抵抗値は、長期間一定に維持されることになる。

【 0027 】請求項 10 に記載のように、第 2 の開口部は、第 5 の導電膜を除去することによって形成されることが好ましい。かかる構成によれば、第 5 の導電膜と接続部との接觸面積が増加することになるため、例えば、第 5 の導電膜がエレクトロマイグレーション現象によるボイドが発生するおそれのある物質から構成されていても、かかるボイドの規模を縮小させることができとなる。したがって、一の配線層と他の配線層間の抵抗値は長期間一定に維持されることになる。

【 0028 】請求項 11 に記載のように、他の配線層は、第 5 の導電膜において第 6 の導電膜が接している面と異なる面に接する第 7 の導電膜を備え、第 7 の導電膜は、第 2 の開口部の内壁の一部を構成することが好ましい。かかる構成によれば、接続部は、他の配線層における第 7 の導電膜に電気的に接続されることになる。そして、第 7 の導電膜は、所定の温度の熱処理によって膨張する。これによって、第 7 の導電膜と接続部の電気的接続は、より確実となるため、結果的に一の配線層と他の配線層との導通は一層良好となる。

【 0029 】また、請求項 12, 16 に記載のように、第 1, 5 の導電膜をアルミニウム合金で構成すれば、導電性の高い配線層が実現する。そして、請求項 13, 14, 15, 17, 18 に記載のように、第 2, 3, 4, 6, 7 の導電膜をチタンで構成し、所定の温度の熱処理を施すことで、第 2, 3, 4, 6, 7 の導電膜は、第 1, 5 の導電膜と合金反応し、体積が増加することになる。このため、一の配線層における第 2, 4 の導電膜は、接続部における第 3 の導電膜と確実に接続され、同様に、他の配線層における第 6, 7 の導電膜は、接続部における第 3 の導電膜と確実に接続されることになる。

【 0030 】また、請求項 12 に記載のように、一の配線層における第 1 の導電膜が、アルミニウム合金で構成されている場合、他の配線層から接続部を介して一の配線層に電子が流れると、第 1 の導電膜にエレクトロマイグレーション現象が発生するおそれがある。しかし、かかる電子は、熱処理によって接觸した接続部における第 3 の導電膜と一の配線層における第 2 の導電膜を経由して流れため、第 1 の導電膜におけるエレクトロマイグレーション現象に関わらず、一の配線層と他の配線層間の抵抗値は、長期間一定に維持されることになる。さらに、請求項 16 に記載のように、他の配線層における第 5 の導電膜が、アルミニウム合金で構成されている場

合、一の配線層から接続部を介して他の配線層に電子が流れると、第 5 の導電膜にエレクトロマイグレーション現象が発生するおそれがある。しかし、かかる電子は、熱処理によって接觸した接続部における第 3 の導電膜と他の配線層における第 6 の導電膜を経由して流れため、第 5 の導電膜におけるエレクトロマイグレーション現象に関わらず、一の配線層と他の配線層間の抵抗値は、長期間一定に維持されることになる。

【 0031 】そして、請求項 19 によれば、複数の配線層と複数の配線層における一の配線層と他の配線層を電気的に接続するための接続部とを備えた半導体装置において、一の配線層は、第 1 の開口部を有し、接続部は、第 1 の開口部において一の配線層と接することを特徴とする半導体装置が提供される。

【 0032 】かかる構成によれば、一の配線層と接続部は、より広い面積で電気的に接続されることになる。上述のように、他の配線層から接続部を介して一の配線層に電子が流れた場合に一の配線層において発生するおそれのあるエレクトロマイグレーション現象は、一の配線層にボイドをもたらすことになるが、一の配線層と接続部を広い面積で電気的に接続すれば、一の配線層に流れる電流密度を減少させることができとなり、この結果、一の配線層のボイドの規模は小さくなる。したがって、一の配線層と他の配線層間の抵抗値は、長期間一定に維持されることになる。

【 0033 】請求項 20 に記載のように、他の配線層は、第 2 の開口部を有し、接続部は、第 2 の開口部において他の配線層と接することが好ましい。かかる構成によれば、請求項 19 における一の配線層と接続部との関係と同様に、他の配線層と接続部は、広い面積で電気的に接続され、他の配線層に流れる電流密度を減少させることができとなる。この結果、他の配線層のボイドの規模は小さくなる。したがって、一の配線層と他の配線層間の抵抗値は、長期間一定に維持されることになる。

【 0034 】また、複数の配線層と複数の配線層における一の配線層と他の配線層を電気的に接続するための接続部とを備えた半導体装置の製造方法が提供される。そして、この製造方法は、請求項 21 に記載のように、第 1 の導電膜と、熱処理によって体積が増加する第 2 の導電膜とを含む一の配線層を形成する第 1 の工程と、第 2 の導電膜の一部を除去し、一の配線層に開口部を形成する第 2 の工程と、熱処理によって体積が増加する第 3 の導電膜を含む接続部を、第 3 の導電膜が開口部の内壁に接するように形成する第 3 の工程と、所定の温度で熱処理を行う第 4 の工程と、を含むことを特徴としている。かかる製造方法によれば、請求項 4, 5, 6, または 7 に記載の半導体装置を効率よく形成することが可能となる。

【発明の実施の形態】以下に添付図面を参照しながら、本発明にかかるの好適な実施の形態について詳細に説明する。なお、以下の説明において、略同一の機能および構成を有する構成要素については、同一符号を付することにより、重複説明を省略することにする。

【0036】(第1の実施の形態) 本発明の第1の実施の形態にかかる半導体装置1を図1に示す。この半導体装置1は、従来の半導体装置101と同様に、絶縁膜1-21の上下に形成された一の配線層としての第1配線1-L1および他の配線層としての第2配線1-L2による多層配線構造を有するものである。そして、第1配線1-L1および第2配線1-L2は、絶縁膜1-21中に形成された接続部としての金属プラグ1-Pによって電気的に接続されている。第1配線1-L1および第2配線1-L2は、相互に略同一の層構造を有している。すなわち、第1配線1-L1は、TiN膜1-11、Al合金膜1-12、TiN膜1-13、および第1の高融点金属膜としてのタンタル(Ta)膜1-14から構成されており、第2配線1-L2は、TiN膜1-41、Al合金膜1-42、TiN膜1-43、および第2の高融点金属膜としてのTa膜1-44から構成されている。金属プラグ1-Pは、Ti膜1-31、TiN膜1-32、およびW膜1-33から形成されている。ここで、第1の実施の形態にかかる半導体装置1の製造工程について順を追って説明する。

【0037】工程1: Si基板1-1にトランジスタ等を形成し、その後、CVD法等を用いて絶縁膜1-2を形成する。

【0038】工程2: TiN膜1-11、Al合金膜1-12、Ta膜1-14、およびTiN膜1-13をスパッタ法で順次形成し、ホトリソグラフィおよびエッティングを施して第1配線1-L1とする。なお、Ta膜1-14の形成は、Al合金膜1-12を形成した後、真空状態を維持しつつ連続的に行われる。これにより、Al合金膜1-12の表面の酸化が防止され、Al合金膜1-12とTa膜1-14の良好な電気的導通が確保される。

【0039】工程3: 絶縁膜1-21をCVD法等で形成した後、この絶縁膜1-21に対して、ホトリソグラフィおよびエッティングによってバイアホール1-VHを形成する。

【0040】工程4: BCl₃等の塩素系エッティングガスを用いてバイアホール1-VHの底部にある第1配線1-L1のTiN膜1-13を除去する。

【0041】工程5: Ti膜1-31とTiN膜1-32をスパッタ法を用いて順次形成し、さらに、CVD法を用いてW膜1-33を形成する。なお、TiN膜1-32の形成は、Ti膜1-31を形成した後、真空状態を維持しつつ連続的に行われる。これにより、Ti膜1-31の表面の酸化が防止され、Ti膜1-31とTi

N膜1-32の良好な電気的導通が確保される。

【0042】工程6: Ti膜1-31、TiN膜1-32、W膜1-33を全面エッチバックすることによって、バイアホール1-VH内に金属プラグ1-Pを形成する。

【0043】工程7: TiN膜1-41、Ta膜1-44、Al合金膜1-42、およびTiN膜1-43をスパッタ法を用いて順次形成し、ホトリソグラフィおよびエッティングを施して第2配線1-L2とする。なお、Al合金膜1-42の形成は、Ta膜1-44を形成した後、真空状態を維持しつつ連続的に行われる。これにより、Ta膜1-44の表面の酸化が防止され、Ta膜1-44とAl合金膜1-42の良好な電気的導通が確保される。

【0044】以上の工程1~7によって、第1の実施の形態にかかる半導体装置1が形成される。次に、図2、図3を用いて第1の実施の形態にかかる半導体装置1の動作・機能について説明する。

【0045】図2の(a)に示すように、第2配線1-L2から第1配線1-L1に対して金属プラグ1-Pを経由して電子e⁻を流す場合、従来の半導体装置101と同様に、金属プラグ1-P直下の第1配線1-L1のAl合金膜1-12においてEM現象によるポイド1-V1が生じてしまう。

【0046】また、工程3においてバイアホール1-VHを形成し、工程4においてTiN膜1-13を除去する際、TiN膜1-13がオーバーエッティングされ、アンダーカット部が生じる場合がある。工程5において形成されるTi膜1-31、TiN膜1-32、およびW膜1-33は、かかるアンダーカット部には入り込まないため、結果的に図2の(b)に示すようになポイド1-V2が生じることになる。

【0047】このように、第1の実施の形態にかかる半導体装置1には、従来の半導体装置101と同様にポイド1-V1およびポイド1-V2が発生するものの、図2の(b)に示すように、金属プラグ1-Pは、第1配線1-L1に備えられたTa膜1-14によって第1配線1-L1と電気的に接続される。したがって、第1の実施の形態にかかる半導体装置1によれば、第1配線1-L1と第2配線1-L2は、確実に電気的に接続されることになる。

【0048】さらに、第2配線1-L2から第1配線1-L1に対して電子e⁻を継続的に流し、第1配線1-L1のAl合金膜1-12にEM現象によるポイド1-V1が生じた場合であっても、第1配線1-L1と第2配線1-L2との間の配線抵抗Rは、Ta膜1-14によって長期間一定値が維持されることになる。

【0049】従来の半導体装置101と第1の実施の形態にかかる半導体装置1におけるEM現象による配線抵抗の経時的劣化、いわゆるエレクトロマイグレーション

寿命（以下、「EM寿命」という。）について、加速試験を施した結果を図3に示す。かかる試験結果で明らかのように、第1の実施の形態にかかる半導体装置1における配線抵抗Rの値は、従来の半導体装置101に比べて緩やかに上昇する。この加速試験において、半導体装置1の配線抵抗Rの値が初期値から10%増加するまでに要する時間は、従来の半導体装置101に比べて約6倍に伸長している。

【0050】（第2の実施の形態）本発明の第2の実施の形態にかかる半導体装置2を図4に示す。この半導体装置2は、従来の半導体装置101と同様に、絶縁膜2-21の上下に形成された一の配線層としての第1配線2-L1および他の配線層としての第2配線2-L2による多層配線構造を有するものである。そして、第1配線2-L1および第2配線2-L2は、絶縁膜2-21中に形成された接続部としての金属プラグ2-Pによって電気的に接続されている。第1配線2-L1および第2配線2-L2は、相互に略同一の層構造を有している。すなわち、第1配線2-L1は、TiN膜2-11、第1の導電膜としてのAl合金膜2-12、TiN膜2-13、Ti膜2-15、および第2の導電膜としてのTi膜2-16から構成されており、第2配線2-L2は、TiN膜2-41、第5の導電膜としてのAl合金膜2-42、TiN膜2-43、第6の導電膜としてのTi膜2-45、およびTi膜2-46から構成されている。金属プラグ2-Pは、第3の導電膜としてのTi膜2-31、TiN膜2-32、およびW膜2-33から形成されている。ここで、第2の実施の形態にかかる半導体装置2の製造工程について順を追って説明する。

【0051】工程1：Si基板2-1にトランジスタ等を形成し、その後、CVD法等を用いて絶縁膜2-2を形成する。

【0052】工程2：TiN膜2-11、Ti膜2-15、Al合金膜2-12、Ti膜2-16、およびTiN膜2-13をスパッタ法で順次形成し、ホトリソグラフィおよびエッティングを施して第1配線2-L1とする。なお、Ti膜2-15、Al合金膜2-12、およびTi膜2-16は、真空状態が維持された中で連続的に形成されるようにする。これにより、Ti膜2-15の表面およびAl合金膜2-12の表面の酸化が防止され、Ti膜2-15とAl合金膜2-12、Al合金膜2-12とTi膜2-16の良好な電気的導通が確保される。

【0053】工程3：絶縁膜2-21をCVD法等で形成した後、この絶縁膜2-21に対して、ホトリソグラフィおよびエッティングによってバイアホール2-VHを形成する。

【0054】工程4：BC1、等の塩素系エッティングガスを用いてバイアホール2-VHの底部にある第1配線

10

20

30

40

2-L1のTiN膜2-13およびTi膜2-16を除去する。

【0055】工程5：Ti膜2-31とTiN膜2-32をスパッタ法を用いて順次形成し、さらに、CVD法を用いてW膜2-33を形成する。なお、Ti膜2-31およびTiN膜2-32は、真空状態が維持された中で連続的に形成されるようにする。これにより、Ti膜2-31の表面の酸化が防止され、Ti膜2-31とTiN膜2-32の良好な電気的導通が確保される。

【0056】工程6：Ti膜2-31、TiN膜2-32、W膜2-33を全面エッチバックすることによって、バイアホール2-VH内に金属プラグ2-Pを形成する。

【0057】工程7：TiN膜2-41、Ti膜2-45、Al合金膜2-42、Ti膜2-46、およびTiN膜2-43をスパッタ法を用いて順次形成し、ホトリソグラフィおよびエッティングを施して第2配線2-L2とする。なお、Ti膜2-45、Al合金膜2-42、およびTi膜2-46は、真空状態が維持された中で連続的に形成されるようにする。これにより、Ti膜2-45の表面およびAl合金膜2-42の表面の酸化が防止され、Ti膜2-45とAl合金膜2-42、Al合金膜2-42とTi膜2-46の良好な電気的導通が確保される。

【0058】工程8：水素(H₂)または不活性ガス雰囲気中で400~500°Cの熱処理を施す。

【0059】以上の工程1~8によって、第2の実施の形態にかかる半導体装置2が形成される。次に、図5を用いて第2の実施の形態にかかる半導体装置2の動作・機能について説明する。

【0060】第2の実施の形態にかかる半導体装置2は、工程8において熱処理が施されており、かかる熱処理によって、第1配線2-L1におけるAl合金膜2-12と、これに接している第1配線2-L1におけるTi膜2-15、2-16、および金属プラグ2-PにおけるTi膜2-31は、合金反応を起こし、それぞれAl-Ti合金(Al, Ti)膜2-17、2-18、2-34に変化する。第2の実施の形態にかかる半導体装置2におけるAl合金膜2-12の膜厚は、Ti膜2-15、2-16、2-31に対して十分厚いため、熱処理によって生じるAl-Ti合金膜2-17、2-18、2-34の膜厚は、熱処理前のTi膜2-15、2-16、2-31の膜厚に対して約2倍に増加している。

【0061】同様に、第2配線2-L2におけるAl合金膜2-42と、これに接している第2配線2-L2におけるTi膜2-45、2-46は、合金反応を起こし、それぞれAl-Ti合金膜2-47、2-48に変化する。そして、このAl-Ti合金膜2-47、2-48の膜厚は、熱処理前のTi膜2-45、2-46の

50

膜厚に対して約2倍に増加している。

【0062】図5の(a)に示すように、第2配線2-L2から第1配線2-L1に対して金属プラグ2-Pを経由して電子e⁻を流す場合、従来の半導体装置101と同様に、金属プラグ2-P直下の第1配線2-L1のA1合金膜2-12には、EM現象によるボイド2-V1が生じてしまう。

【0063】また、工程3においてバイアホール2-VHを形成し、工程4においてTiN膜2-13を除去する際、このTiN膜2-13がオーバーエッチングされ、アンダーカット部が生じる場合がある。工程5において形成されるTi膜2-31、TiN膜2-32、およびW膜2-33は、かかるアンダーカット部には入り込まないため、結果的に図5の(b)に示すようなボイド2-V2が生じることになる。

【0064】このように、第2の実施の形態にかかる半導体装置2には、従来の半導体装置101と同様にボイド2-V1およびボイド2-V2が発生するおそれがある。しかし、工程8における熱処理によって、第1配線2-L1のA1-Ti合金膜2-18は、熱処理前のTi膜2-16に比べて金属プラグ2-P方向へ膨張し、逆に、金属プラグ2-PのA1-Ti合金膜2-34は、熱処理前のTi膜2-31に比べてA1-Ti合金膜2-18方向へ膨張する。かかる膨張によって、A1-Ti合金膜2-18とA1-Ti合金膜2-34は接触することになり、結果的に第1配線2-L1、金属プラグ2-P、および第2配線2-L2は、確実に電気的に接続されることになる。

【0065】また、第2配線2-L2から第1配線2-L1に対して電子e⁻を継続的に流し、第1配線2-L1のA1合金膜2-12にEM現象によるボイド2-V1が生じた場合であっても、第1配線2-L1と第2配線2-L2との間の配線抵抗Rは、A1-Ti合金膜2-18とA1-Ti合金膜2-34との接触によって長期間一定値が維持されることになる。」

【0066】第2の実施の形態にかかる半導体装置2のEM寿命について、加速試験を施した結果、上述の第1の実施の形態にかかる半導体装置1と同様に配線抵抗Rの値が初期値から10%増加するまでに要する時間は、従来の半導体装置101に比べて約6倍に伸長する。

【0067】(第3の実施の形態)本発明の第3の実施の形態にかかる半導体装置3を図6に示す。この半導体装置3は、従来の半導体装置101と同様に、絶縁膜3-21の上下に形成された一の配線層としての第1配線3-L1および他の配線層としての第2配線3-L2による多層配線構造を有するものである。そして、第1配線3-L1および第2配線3-L2は、絶縁膜3-21中に形成された接続部としての金属プラグ3-Pによって電気的に接続されている。第1配線3-L1および第2配線3-L2は、相互に略同一の層構造を有してい

る。すなわち、第1配線3-L1は、TiN膜3-11、A1合金膜3-12、およびTiN膜3-13から構成されており、第2配線3-L2は、TiN膜3-41、A1合金膜3-42、およびTiN膜3-43から構成されている。金属プラグ3-Pは、Ti膜3-31、TiN膜3-32、およびW膜3-33から形成されている。ここで、第3の実施の形態にかかる半導体装置3の製造工程について順を追って説明する。

【0068】工程1: Si基板3-1にトランジスタ等を形成し、その後、CVD法等を用いて絶縁膜3-2を形成する。

【0069】工程2: TiN膜3-11、A1合金膜3-12、およびTiN膜3-13をスパッタ法で順次形成し、ホトリソグラフィおよびエッチングを施して第1配線3-L1とする。

【0070】工程3: 絶縁膜3-21をCVD法等で形成した後、この絶縁膜3-21に対して、ホトリソグラフィおよびエッチングによってバイアホール3-VHを形成する。

【0071】工程4: BC1、等の塩素系エッチングガスを用いてバイアホール3-VHの底部にある第1配線3-L1のTiN膜3-13を除去し、さらにA1合金膜3-12を所定の深さdまでエッチングする。

【0072】工程5: Ti膜3-31とTiN膜3-32をスパッタ法を用いて順次形成し、さらに、CVD法を用いてW膜3-33を形成する。なお、Ti膜3-31およびTiN膜3-32は、真空状態が維持された中で連続的に形成されるようとする。これにより、Ti膜3-31の表面の酸化が防止され、Ti膜3-31とTiN膜3-32の良好な電気的導通が確保される。

【0073】工程6: Ti膜3-31、TiN膜3-32、W膜3-33を全面エッチバックすることによって、バイアホール3-VH内に金属プラグ3-Pを形成する。

【0074】工程7: TiN膜3-41、A1合金膜3-42、およびTiN膜3-43をスパッタ法を用いて順次形成し、ホトリソグラフィおよびエッチングを施して第2配線3-L2とする。なお、TiN膜3-41、A1合金膜3-42、およびTiN膜3-43は、真空状態が維持された中で連続的に形成されるようとする。

これにより、TiN膜3-41の表面およびA1合金膜3-42の表面の酸化が防止され、TiN膜3-41とA1合金膜3-42、A1合金膜3-42とTiN膜3-43の良好な電気的導通が確保される。

【0075】以上の工程1~7によって、第3の実施の形態にかかる半導体装置3が形成される。次に、図6を用いて第3の実施の形態にかかる半導体装置3の動作・機能について説明する。なお、バイアホール3-VHは、横断面が一辺の正方形である直方体として形成されている場合に即して以下説明する。

【0076】第3の実施の形態にかかる半導体装置3のA1合金膜3-12は、上述のように工程4において、深さdまでエッティングされており、金属プラグ3-PとA1合金膜3-12が接する部分の面積S1は、式(a)で与えられる。

$$S1 = \phi^2 + 4\phi d \quad \dots \quad (a)$$

【0078】これに対して、従来の半導体装置101の場合、金属プラグ101-PとA1合金膜101-12が接する部分は、金属プラグ101-Pの底面に限られるため、その面積S0は、式(b)で与えられる。

$$S0 = \phi^2 \quad \dots \quad (b)$$

$$L = A \cdot J^{-n} \cdot \exp(-Ea/kT) \quad \dots \quad (c)$$

【0083】第3の実施の形態にかかる半導体装置3および従来の半導体装置101の場合、第1配線3-L1, 101-L1, 第2配線3-L2, 101-L2、および金属プラグ3-P, 101-Pの構成によれば、実際のEM寿命は、式(c)において定数n=2としたときの計算結果に近似する。

【0084】したがって、第3の実施の形態にかかる半導体装置3のEM寿命L1と従来の半導体装置101のEM寿命L0の比は、 $L1/L0 = (S0/S1)^{-n} \approx 2.7^2 \approx 7.3$ となる。

【0085】第3の実施の形態にかかる半導体装置3の製造工程3においてバイアホール3-VHを形成し、工程4においてTiN膜3-13を除去する際、TiN膜3-13がオーバーエッティングされ、アンダーカット部が生じる場合がある。工程5において形成されるTi膜3-31, TiN膜3-32、およびW膜3-33は、かかるアンダーカット部には入り込まないため、結果的に図6の(b)に示すようになボイド3-V1が生じることになる。

【0086】しかし、第3の実施の形態にかかる半導体装置3のEM寿命は、上述のように、従来の半導体装置101と比較して、約7.3倍とされている。すなわち、第2配線3-L2から第1配線3-L1に対して金属プラグ3-Pを経由して電子 e^- を流し続けた場合であっても、第2配線3-L2と第1配線3-L1との間の抵抗値が急激に増加することはない。したがって、第3の実施の形態にかかる半導体装置3によれば、図6の(a)に示すように、ボイド3-V1が生じても、第1配線3-L1と第2配線3-L2の良好な導通状態は、長期間維持されることになる。

【0087】(第4の実施の形態) 本発明の第4の実施の形態にかかる半導体装置4を図7に示す。この半導体装置4は、従来の半導体装置101と同様に、絶縁膜4-21の上下に形成された一の配線層としての第1配線4-L1および他の配線層としての第2配線4-L2による多層配線構造を有するものである。そして、第1配線4-L1および第2配線4-L2は、絶縁膜4-21中に形成された接続部としての金属プラグ4-Pによつ

【0080】例えば $\phi=0.7\mu m$, $d=0.3\mu m$ の場合、面積比S1/S0は、約2.7となる。

【0081】金属プラグ3-PからA1合金膜3-12に流れる電流密度Jは、金属プラグ3-PとA1合金膜3-12が接触する部分の面積に反比例する。また、EM寿命Lは、式(c)で与えられ、その値は、電流密度Jのn乗に反比例することになる。なお、式(c)において、kはボルツマン定数、Eaは活性化エネルギー、Tは温度、A、nは定数である。

10. 【0082】

て電気的に接続されている。第1配線4-L1および第2配線4-L2は、相互に略同一の層構造を有している。すなわち、第1配線4-L1は、TiN膜4-11, 第1の導電膜としてのA1合金膜4-12, TiN膜4-13, 第4の導電膜としてのTi膜4-15, および第2の導電膜としてのTi膜4-16から構成されており、第2配線4-L2は、TiN膜4-41, 第5の導電膜としてのA1合金膜4-42, TiN膜4-443, 第6の導電膜としてのTi膜4-45, および第7の導電膜としてのTi膜4-46から構成されている。金属プラグ4-Pは、第3の導電膜としてのTi膜4-31, TiN膜4-32, およびW膜4-33から形成されている。ここで、第4の実施の形態にかかる半導体装置4の製造工程について順を追って説明する。

【0088】工程1: Si基板4-1にトランジスタ等を形成し、その後、CVD法等を用いて絶縁膜4-2を形成する。

【0089】工程2: TiN膜4-11, Ti膜4-15, A1合金膜4-12, Ti膜4-16、およびTiN膜4-13をスパッタ法で順次形成し、ホトリソグラフィおよびエッティングを施して第1配線4-L1とする。なお、Ti膜4-15, A1合金膜4-12、およびTi膜4-16は、真空状態が維持された中で連続的に形成されるようにする。これにより、Ti膜4-15の表面およびA1合金膜4-12の表面の酸化が防止され、Ti膜4-15とA1合金膜4-12, A1合金膜4-12とTi膜4-16の良好な電気的導通が確保される。

【0090】工程3: 絶縁膜4-21をCVD法等で形成した後、この絶縁膜4-21に対して、ホトリソグラフィおよびエッティングによってバイアホール4-VHを形成する。

【0091】工程4: BCl₃等の塩素系エッティングガスを用いてバイアホール4-VHの底部にある第1配線4-L1のTiN膜4-13およびTi膜4-16を除去し、さらにA1合金膜4-12をTi膜4-15が露出するまでエッティングする。

50. 【0092】工程5: Ti膜4-31とTiN膜4-3

2をスパッタ法を用いて順次形成し、さらに、CVD法を用いてW膜4-33を形成する。なお、Ti膜4-31およびTiN膜4-32は、真空状態が維持された中で連続的に形成されるようにする。これにより、Ti膜4-31の表面の酸化が防止され、Ti膜4-31とTiN膜4-32の良好な電気的導通が確保される。

【0093】工程6：Ti膜4-31、TiN膜4-32、W膜4-33を全面エッチバックすることによって、バイアホール4-VH内に金属プラグ4-Pを形成する。

【0094】工程7：TiN膜4-41、Ti膜4-45、A1合金膜4-42、Ti膜4-46、およびTiN膜4-43をスパッタ法を用いて順次形成し、ホトリソグラフィおよびエッチングを施して第2配線4-L2とする。なお、Ti膜4-45、A1合金膜4-42、およびTi膜4-46は、真空状態が維持された中で連続的に形成されるようにする。これにより、Ti膜4-45の表面およびA1合金膜4-42の表面の酸化が防止され、Ti膜4-45とA1合金膜4-42、A1合金膜4-42とTi膜4-46の良好な電気的導通が確保される。

【0095】工程8：H₂または不活性ガス雰囲気中で400～500°Cの熱処理を施す。

【0096】以上の工程1～8によって、第4の実施の形態にかかる半導体装置4が形成される。次に、図8を用いて第4の実施の形態にかかる半導体装置4の動作・機能について説明する。

【0097】第4の実施の形態にかかる半導体装置4は、工程8において熱処理が施されており、かかる熱処理によって、第1配線4-L1におけるA1合金膜4-12と、これに接している第1配線4-L1におけるTi膜4-15、4-16、および金属プラグ4-PにおけるTi膜4-31は、合金反応を起こし、それA1-Ti合金膜4-17、4-18、4-34に変化する。第4の実施の形態にかかる半導体装置4におけるA1合金膜4-12の膜厚は、Ti膜4-15、4-16、4-31に対して十分厚いため、熱処理によって生じるA1-Ti合金膜4-17、4-18、4-34の膜厚は、熱処理前のTi膜4-15、4-16、4-31の膜厚に対して約2倍に増加している。

【0098】ところで、金属プラグ4-Pの底部にあるTi膜4-31は、第1配線4-L1におけるTi膜4-15と接触している。すなわち、Ti膜4-31およびTi膜4-15は、ともにA1合金膜4-12に接していない。したがって、かかる接触部におけるTi膜4-31およびTi膜4-15は、A1合金膜4-12と合金反応を起こすことなく、熱処理前の状態を維持する。

【0099】一方、第2配線4-L2におけるA1合金膜4-42と、これに接している第2配線4-L2にお

けるTi膜4-45、4-46は、合金反応を起こし、それぞれA1-Ti合金膜4-47、4-48に変化する。そして、このA1-Ti合金膜4-47、4-48の膜厚は、熱処理前のTi膜4-45、4-46の膜厚に対して約2倍に増加している。

【0100】工程3においてバイアホール4-VHを形成し、工程4においてTiN膜4-13を除去する際、TiN膜4-13がオーバーエッチングされ、アンダーカット部が生じる場合がある。工程5において形成され

10 10 Ti膜4-31、TiN膜4-32、およびW膜4-33は、かかるアンダーカット部に入り込まないため、結果的に図8の(b)に示すようなボイド4-V2が生じることになる。

【0101】このように、第4の実施の形態にかかる半導体装置4には、従来の半導体装置101と同様にボイド4-V2が発生するおそれがある。しかし、工程8における熱処理によって、第1配線4-L1のA1-Ti合金膜4-18は、熱処理前のTi膜4-16に比べて金属プラグ4-P方向へ膨張し、逆に、金属プラグ4-PのA1-Ti合金膜4-34は、熱処理前のTi膜4-31に比べてA1-Ti合金膜4-18方向へ膨張する。かかる膨張によって、A1-Ti合金膜4-18とA1-Ti合金膜4-34は接觸することになり、結果的に第1配線4-L1、金属プラグ4-P、および第2配線4-L2は、確実に電気的に接続されることになる。

【0102】しかも、第4の実施の形態にかかる半導体装置4における金属プラグ4-Pは、第1配線4-L1のTi膜4-15に接觸しており、その間には、A1合金膜4-12が存在しないため、第2配線4-L2から第1配線4-L1に対して電子e⁻を継続的に流した場合、EM現象が生じるおそれのある領域は、A1合金膜4-12に接している金属プラグ4-Pの側面に限られることになる。そして、金属プラグ4-PにおけるA1-Ti合金膜4-34は、EM現象に影響されることなく、第1配線4-L1におけるA1-Ti合金膜4-17およびA1-Ti合金膜4-18と確実に電気的に接続される。したがって、第1配線4-L1と第2配線4-L2との間の配線抵抗Rは、長期間一定値が維持されることになる。

【0103】以上、添付図面を参照しながら本発明の好適な実施形態について説明したが、本発明はかかる例に限定されない。当業者であれば、特許請求の範囲に記載された技術的思想の範囲内において各種の変更例または修正例に想到し得ることは明らかであり、それらについても当然に本発明の技術的範囲に属するものと了解される。

【0104】例えば、第1の実施の形態にかかる半導体装置1において、第1配線1-L1に備えられたTa膜1-14および第2配線1-L2に備えられたTa膜1

—44に代えて、チタンシリサイド(TiSi)、チタンシータンクスチル(Ti-W)、Tiを用いることも可能である。

【0105】また、第1の実施の形態にかかる半導体装置1における第1配線1-L1と第2配線1-L2を接続するバイアホール1-VHには、金属プラグ1-Pが形成されているが、これに限らず、例えば、A1合金配線または銅(Cu)配線を直接埋め込むようにしてもよい。同様に、第2、3、4の実施の形態にかかる半導体装置2、3、4における各バイアホール2-VH、3-VH、4-VHに対してA1合金配線または銅(Cu)配線を直接埋め込むようにしてもよい。

【0106】そして、上記実施の形態においては、第2配線から第1配線に対して電子e⁻を流し、第1配線にボイドが生じる場合について説明したが、金属プラグと第1配線の接続箇所における構成を、金属プラグと第2配線の接続箇所に適用すれば、第1配線から第2配線に対して電子e⁻を流す場合にも、長期間にわたり第1配線と第2配線間の抵抗値を一定に維持することが可能となる。

【0107】

【発明の効果】以上説明したように、本発明にかかる半導体装置および半導体装置の製造方法によれば、一の配線層と他の配線層間の抵抗値を長期間一定に維持することが可能となる。

【0108】特に、請求項1、3、4、7に記載の半導体装置および請求項2に記載の半導体装置の製造方法によれば、一の配線層にエレクトロマイグレーション現象が発生し、ボイドが生じた場合であっても、一の配線層と他の配線層間の抵抗値の増加を防止することが可能となる。さらに、請求項2、3、8、11に記載の半導体装置によれば、他の配線層にエレクトロマイグレーション現象が発生し、ボイドが生じた場合であっても、一の配線層と他の配線層間の抵抗値の増加を防止することが可能となる。

【0109】また、請求項5、6、7、12に記載の半導体装置によれば、一の配線層におけるエレクトロマイグレーション現象の発生が防止され、一の配線層と他の配線層間の抵抗値の増加を防止することが可能となる。さらに、9、10、11、13に記載の半導体装置によれば、他の配線層におけるエレクトロマイグレーション現象の発生が防止され、一の配線層と他の配線層間の抵抗値の増加を防止することが可能となる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態にかかる半導体装置の断面図である。

【図2】図1の半導体装置の動作・機能を説明する断面

図である。

【図3】図1の半導体装置と従来の半導体装置の配線抵抗の経時変化を示す特性曲線図である。

【図4】本発明の第2の実施の形態にかかる半導体装置の断面図である。

【図5】図4の半導体装置の動作・機能を説明する断面図である。

【図6】本発明の第3の実施の形態にかかる半導体装置の断面図である。

10 【図7】本発明の第4の実施の形態にかかる半導体装置の断面図である。

【図8】図7の半導体装置の動作・機能を説明する断面図である。

【図9】従来の半導体装置の断面図である。

【図10】図9の半導体装置の動作・機能を説明する断面図である。

【符号の説明】

1 半導体装置

1-1 Si基板

20 1-2 絶縁膜

1-11 TiN膜

1-12 A1合金膜

1-13 TiN膜

1-14 Ta膜

1-21 絶縁膜

1-31 Ti膜

1-32 TiN膜

1-33 VH膜

1-41 TiN膜

30 1-42 A1合金膜

1-43 TiN膜

1-44 Ta膜

1-L1 第1配線

1-L2 第2配線

1-P 金属プラグ

1-V1 ボイド

1-V2 ボイド

1-VH バイアホール

2-15 Ti膜

40 2-16 Ti膜

2-17 A1-Ti合金膜

2-18 A1-Ti合金膜

2-45 Ti膜

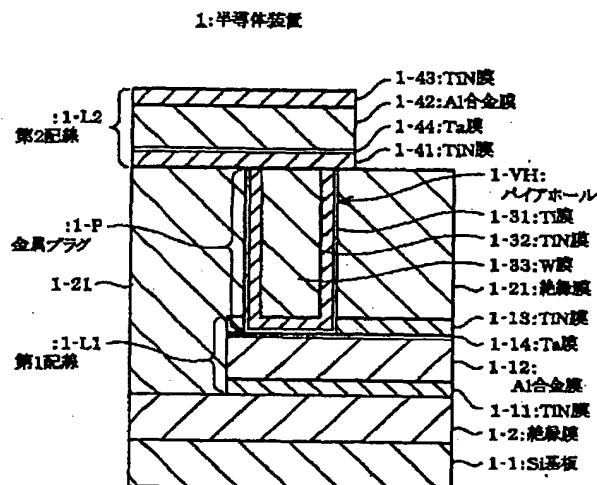
2-46 Ti膜

2-47 A1-Ti合金膜

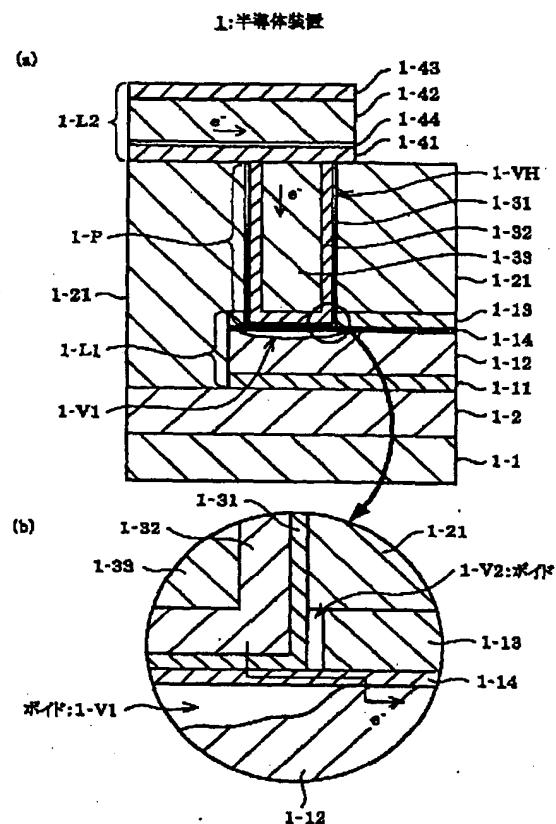
2-48 A1-Ti合金膜

4-34 A1-Ti合金膜

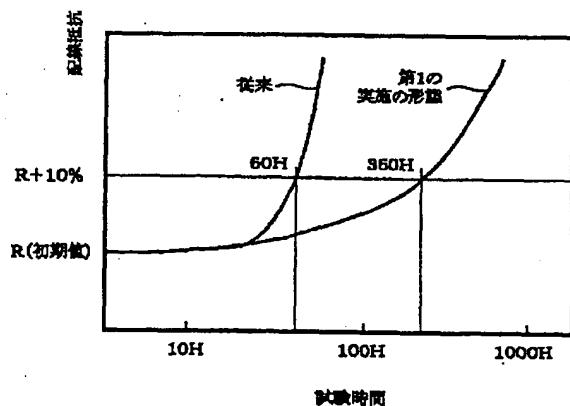
【図1】



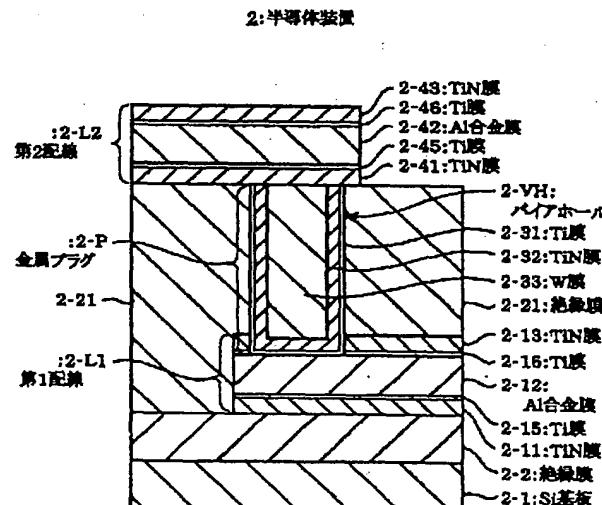
【図2】



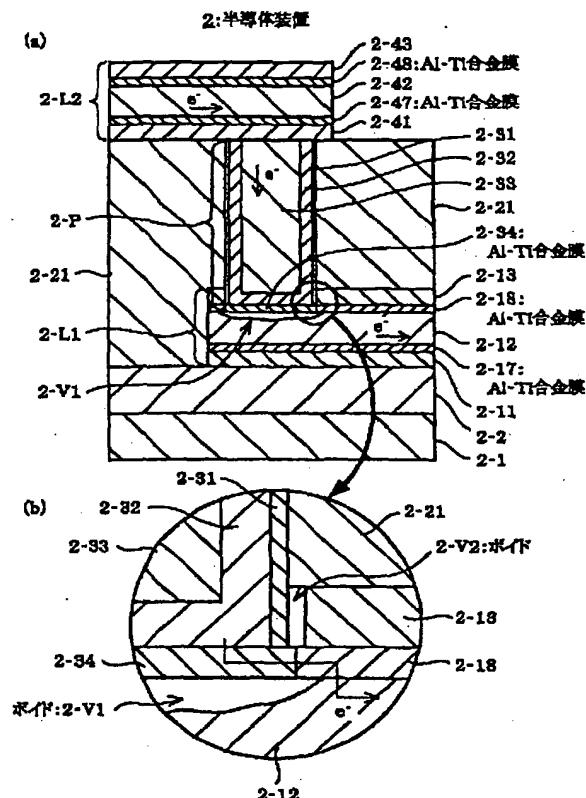
【図3】



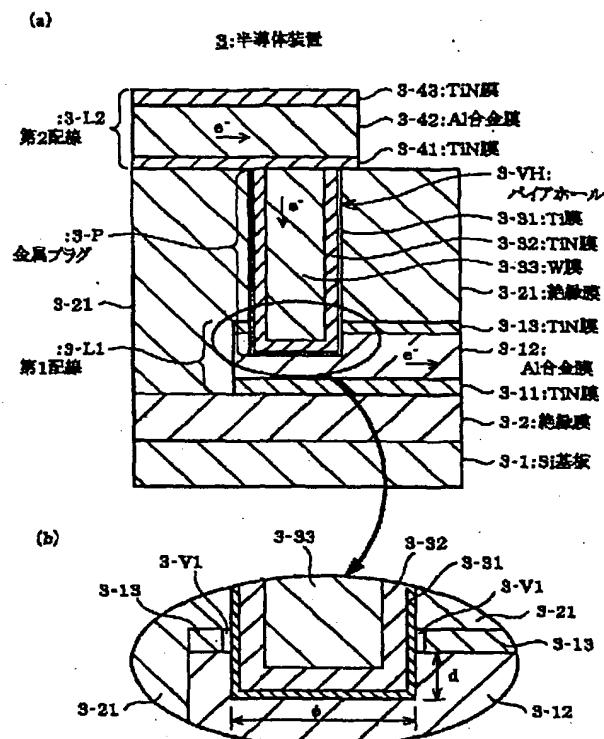
【図4】



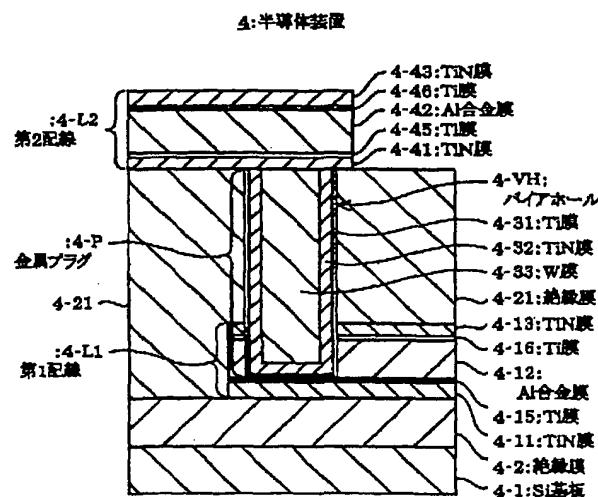
【図5】



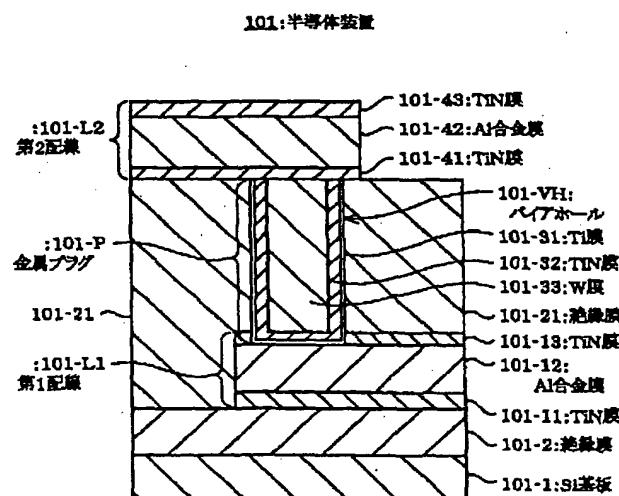
【図6】



【図7】

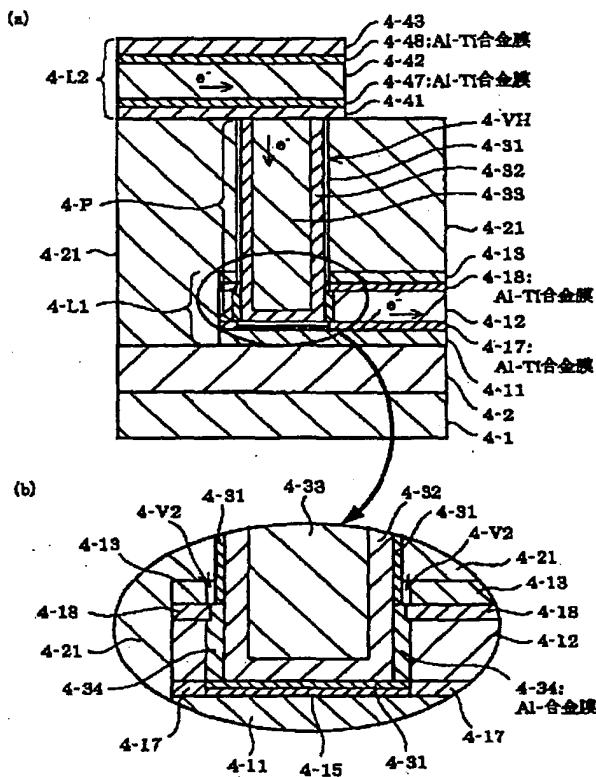


【図9】



【図8】

4:半導体装置



【図10】

101:半導体装置

